

DERWENT-ACC-NO: 1975-M7616W

DERWENT-WEEK: 197548

COPYRIGHT 2007 DERWENT INFORMATION LTD

TITLE: Data transmission with clock frequency phase control - generates response signal at transmitter from information ssssiggggnall

PRIORITY-DATA: 1974DE-2462046 (May 14, 1974) , 1974DE-2423282 (May 14, 1974)

PATENT-FAMILY:

PUB-NO	PUB-DATE	LANGUAGE	PAGES	MAIN-IPC
DE 2462046 A	November 20, 1975	N/A	000	N/A
DE 2462046 B	August 19, 1976	N/A	000	N/A
INT-CL (IPC):	H04L025/49, H04L027/06			

ABSTRACTED-PUB-NO: DE 2462046A

BASIC-ABSTRACT:

The partial response signal and the information carrying signal are recovered at the receiver for demodulation. The clock frequency phase is adjusted at the receiver by a clock frequency recovery circuit, and an error signal is derived by an error stage which signals the deviation from normal of the signal delivered by the decision stage. The clock frequency recovery circuit contains a summator which adds with negative polarity the information signals delayed by one clock period and by four clock periods, and with positive polarity and double amplitude the signal delayed by two clock periods, and delivers a sum signal; the clock frequency recovery circuit contains further a multiplier for the product of the sum signal and the error signal delayed by one clock period.

⑤

Int. Cl. 2:

H 04 L 27-06

⑯

BUNDESREPUBLIK DEUTSCHLAND

H 04 L 25-49



DT 24 62 046 A1

⑪

Offenlegungsschrift 24 62 046

⑫

Aktenzeichen:

P 24 62 046.0-31

⑬

Anmeldetag:

14. 5. 74

⑭

Offenlegungstag:

20. 11. 75

⑮

Unionspriorität:

⑮ ⑯ ⑰

①

Bezeichnung:

Schaltungsanordnung zur Regelung der Taktphase bei einem Datenübertragungssystem

②

Ausscheidung aus:

P 24 23 2824

③

Anmelder:

Siemens AG, 1000 Berlin und 8000 München

④

Erfinder:

Schollmeier, Gero, Dr.-Ing., 8035 Gauting

Prüfungsantrag gem. § 28 b PatG ist gestellt

ORIGINAL INSPECTED

© 11.75 509 847/731

7/70

DT 24 62 046 A1

SIEMENS AKTIENGESSELLSCHAFT

Berlin und München

2462046

München, 14. MRZ 1975

Wittelsbacherplatz 2

VPA 74/2045b

Schaltungsanordnung zur Regelung der Taktphase bei einem Datenübertragungssystem.

Die Erfindung bezieht sich auf eine Schaltungsanordnung zur Regelung der Taktphase bei einem Datenübertragungssystem, bei dem sendeseitig aus einem informationstragenden Signal ein Partial-Response-Signal erzeugt wird, das mit Hilfe von Einseitenband-Amplitudenmodulation übertragen wird. Dem Ausdruck Partial-Response-Signal entspricht im Deutschen der nicht sehr gebräuchliche Ausdruck Teilantwortsignal. Bei diesem Datenübertragungssystem wird empfangsseitig durch Demodulation das Partial-Response-Signal und mit einer Entscheidungsstufe und einem Generator das informationstragende Signal wiedergewonnen. Außerdem wird empfangsseitig die Taktphase mit einer Taktrückgewinnungsschaltung geregelt und mit einer Fehlerstufe wird ein Fehlersignal abgeleitet, das die Sollwertabweichungen des von der Entscheidungsstufe abgegebenen Signals signalisiert.

Es ist bekannt, für die Regelung der Trägerphase die Korrelation des momentanen Fehlers mit dem hilberttransformierten Impuls und für die Regelung der Taktphase die Korrelation des momentanen Fehlers mit der Steigung des demodulierten Signals im Abtastzeitpunkt zu benutzen. Bei einem Partial-Response-Signal, das mit Hilfe von Einseitenband-Amplitudenmodulation übertragen wird, sind jedoch die Trägerphase und die Taktphase stark miteinander verkoppelt, so daß es nicht ohne weiteres möglich ist, bei unabhängiger Störung der Trägerphase und der Taktphase aus dem Datensignal zu entscheiden, ob ein gerade vorhandener Fehler durch eine falsche Trägerphase oder durch eine falsche Taktphase verursacht wird. Beispielsweise können voneinander unabhängige Störungen der Trägerphase und der Taktphase durch Phasenjitter und durch Frequenzfehler des Trägers bzw. des Taktes verursacht werden.

509847/0731

Der Erfindung liegt die Aufgabe zugrunde, bei einem mit Partial-Response-Signalen und mit Einseitenband-Amplitudenmodulation arbeitenden System eine Schaltungsanordnung anzugeben, mit deren Hilfe die Taktphase mit geringem technischen Aufwand und weitgehend unabhängig von der Trägerphase regelbar ist.

Erfindungsgemäß enthält die Taktrückgewinnungsschaltung einen Summierer, der einerseits mit negativem Vorzeichen das um eine Taktzeit verzögerte informationstragende Signal und ein um vier Taktzeiten verzögertes informationstragendes Signal und andererseits mit positivem Vorzeichen ein um zwei Taktzeichen verzögertes informationstragendes Signal doppelter Amplitude addiert und ein Summensignal abgibt. Außerdem enthält die Taktrückgewinnungsschaltung eine Multiplizierstufe, die ein multiplikatives Signal abgibt, das dem Produkt des Summiersignals und des um eine Taktzeit verzögerten Fehlersignals entspricht und mit dem multiplikativen Signal wird die Taktphase geregelt.

Die erfindungsgemäße Schaltungsanordnung zeichnet sich durch geringen technischen Aufwand aus und läßt sich weitgehend unter Verwendung digitaler Bausteine realisieren. Außerdem zeichnet sich die erfindungsgemäße Schaltungsanordnung dadurch aus, daß damit die Taktphase weitgehend unabhängig von der Trägerphase regelbar ist.

Es ist vorteilhaft, wenn die Taktrückgewinnungsschaltung einen Integrator enthält, dem das multiplikative Signal zugeführt wird und der ein integriertes Signal abgibt und daß in Abhängigkeit von diesem integrierten Signal die Taktphase geregelt wird. Durch Verwendung des Integrators wird bei der Regelung der Taktphase der Mittelwert mehrerer kleiner aufeinanderfolgender Zähler berücksichtigt, so daß insgesamt eine genaue Regelung der Taktphase erzielt wird.

Im folgenden werden Ausführungsbeispiele anhand der Figuren 1 bis 5 beschrieben, wobei in mehreren Figuren dargestellte gleiche Gegenstände mit gleichen Bezugszeichen gekennzeichnet sind.

VPA 74/2045b

509847/0731

Es zeigen:

Fig. 1 ein Datenübertragungssystem,

Fig. 2 eine ausführlichere Darstellung eines Impulsgenerators
des in Fig. 1 dargestellten Datenübertragungssystems,

Fig. 3 eine Taktrückgewinnungsschaltung,

Fig. 4 Signale, die beim Betrieb des in Fig. 1 dargestellten
Systems auftreten und

Fig. 5 Signale, die beim Betrieb der in Fig. 3 dargestellten
Taktrückgewinnungsschaltung auftreten.

Die in Fig. 1 dargestellte Datenübertragungsanlage besteht aus der Datenquelle DQ, aus den Codierern CD1, CD2, aus dem Sender SE, der Übertragungsstrecke L, dem Demodulator DM, der Entscheidungsstufe ES, dem Decodierer DC, der Datensenke DS, der Trägerrückgewinnungsschaltung TRR, der Taktrückgewinnungsschaltung TAR, der Fehlerstufe FST und aus den Impulsgeneratoren TA, VIT, TR, VI und IB.

Fig. 4 zeigt Signale, die bei der in Fig. 1 bis 3 dargestellten Datenübertragungsanlage auftreten. Die Abszissenrichtungen beziehen sich auf die Zeit t . In Fig. 4 ist oben das Signal D dargestellt, das von der Datenquelle DQ gemäß Fig. 1 abgegeben wird. Als Datenquelle kann beispielsweise ein Fernschreiber vorgesehen sein. Das Signal D ist ein Binärsignal, das innerhalb eines vorgegebenen Bitrahmens die Binärwerte 0 und 1 annimmt. Zu den Zeitpunkten t_1 , t_2 , t_5 und t_6 hat das Signal D den Binärwert 1 und zu den Zeitpunkten t_3 und t_4 hat das Signal D den Binärwert 0. Das Signal D wird dem Codierer CD1 zugeführt, der eine Vorcodierung bewirkt und das Signal IB abgibt. Die einzelnen Bits des Signals IB zur Zeit t sind gleich der Modulo-1-Addition des zur Zeit t auftretenden Bits der Daten D und des zwei Taktzeiten T früher auftretenden Bits des Signals IB. Beispielsweise ist das Bit IB5 gleich der Modulo-2-Addition der Bits D5 und IB3.

Das Signal IB wird dem Codierer CD2 zugeführt, der den einzelnen Bits des Signals IB Partial-Response-Impulse zuordnet. Beispielsweise können den einzelnen Bits Partial-Response-Impulse der Klasse 4 zugeordnet werden. Durch Überlagerung der einzelnen Partial-

Response-Impulse entsteht das Signal A, das über den Ausgang des Codierers CD2 dem Sender SE zugeleitet wird. Im Sender SE wird ein Träger mit dem Signal A moduliert, so daß eine Frequenzumsetzung vorgenommen wird und über den Ausgang des Senders SE ein modulierte Signal abgegeben wird, das beispielsweise einen Frequenzbereich von etwa 300 Hz bis 3400 Hz einnimmt. Dieses modulierte Signal wird über die Übertragungsstrecke L übertragen. Als Übertragungsstrecke kann beispielsweise eine Telefonleitung vorgesehen sein.

Im Demodulator DM wird das übertragene Signal demoduliert, so daß von dessen Ausgang ein Signal abgegeben wird, das dem Signal A ähnlich ist. Zu den Zeitpunkten t_1 , t_2 , t_3 , t_4 , t_5 und t_6 nimmt das in Fig. 4 dargestellte und als unverzerrt angenommene Signal A genau einen der Sollwerte A_9 , A_{10} , A_{11} ein, wodurch die zu übertragende Information gekennzeichnet wird. Die Sollwerte A_9 bzw. A_{10} bzw. A_{11} können beispielsweise durch die Spannungen +2 V bzw. 0 V bzw. -2 V festgelegt sein. Die Zeitpunkte t_1 bis t_6 folgen einander im Abstand der Schrittdauer T . Im Gegensatz zum unverzerrten Signal A wird beispielsweise infolge eines Trägerphasenfehlers bei der Demodulation das verzerrte Signal A_1 gewonnen. Mit dem verzerrten Signal A_1 werden zu den Zeitpunkten t_1 bis t_6 nicht die Sollwerte A_9 , A_{10} und A_{11} markiert, sondern fehlerhafte Werte mit den Amplitudenfehlern F_2 , F_3 , F_4 , F_5 , F_6 .

Das Signal A bzw. das Signal A_1 wird der Entscheidungsstufe ES zugeführt, die den zu den Zeitpunkten t_1 bis t_6 auftretenden Amplituden der Signale A bzw. A_1 je eine der Amplituden B_9 , B_{10} , B_{11} des Signals B zuordnet. Die Entscheidungsstufe ES gibt somit das Signal B ab, dessen Amplitude B_9 dem Sollwert A_9 , dessen Amplitude B_{10} dem Sollwert A_{10} und dessen Amplitude B_{11} dem Sollwert A_{11} entspricht. Die Amplitudenfehler F_2 bis F_6 können durch Trägerphasenfehler und/oder durch Taktphasenfehler verursacht werden. Unter Verwendung der Trägerrückgewinnungsschaltung TRR und der Taktrückgewinnungsschaltung TAR wird die Phasenlage des Trägers bzw. des Taktes derart eingestellt, daß die Fehler F_2 bis F_6 möglichst klein bleiben.

Fig. 2 zeigt ausführlicher den auch in Fig. 1 schematisch dargestellten Generator IB zur Erzeugung der Signale IB1, IB2, die in Fig. 4 dargestellt sind und die sich nur durch eine Zeitverschiebung um ein Vielfaches der Schrittdauer T voneinander unterscheiden. Dieser in Fig. 2 dargestellte Generator besteht aus dem Summierer SU1, aus den beiden Verzögerungsstufen VZ1, VZ2, die je eine Verzögerung um die Schrittdauer T bewirken und aus dem Inverter INV. Vom Ausgang des Summierers SU1 wird das Signal IB abgegeben, vom Ausgang der Verzögerungsstufe VZ1 wird das um eine Schrittdauer T verzögerte Signal IB1 abgegeben und vom Ausgang der Verzögerungsstufe VZ2 wird das um zwei Schrittdauern T verzögerte Signal IB2 abgegeben, das außerdem dem Inverter INV zugeführt wird, der die Polarität dieses Signals umkehrt und dessen Ausgang mit einem Eingang des Summierers SU1 verbunden ist. Dem anderen Eingang des Summierers SU1 wird das Signal B zugeführt, das von der in Fig. 1 dargestellten Entscheidungsstufe ES abgegeben wird.

Das Signal IB1 zeichnet sich dadurch aus, daß bei einem reinen Trägerphasenfehler das Vorzeichen des Produktes der Signale IB1 und F den positiven oder den negativen Trägerphasenfehler angibt. Zur Reduzierung des Trägerphasenfehlers wird daher einerseits mit der Fehlerstufe FST das Fehlersignal F ermittelt und andererseits wird mit Hilfe des Generators IB das Signal IB1 gewonnen und beide Signale F und IB1 werden der Trägerrückgewinnungsschaltung TRR zugeführt, mit der der Träger TR1 derart beeinflusst wird, daß der Trägerphasenfehler verringert wird.

Fig. 3 zeigt ausführlicher die Taktrückgewinnungsschaltung TAR, die schematisch auch in Fig. 1 dargestellt ist. Sie besteht aus den Verzögerungsstufen VZ3, VZ4, ferner aus den Multiplizierstufen MU2, MU3, aus dem Summierer SU2, aus den Operationsverstärkern VS3, VS4, aus dem Schalter SW2 mit der Steuerstufe ST2 und dem Kondensator C2 und aus der Phasenstufe ϕ . Die Verzögerungsstufen VZ3, VZ4 bewirken je eine Verzögerung um zwei Schritttakte T. Die Multiplizierstufe MU2 multipliziert das Signal IB2 mit dem Faktor 2. Der Summierer SU2 hat drei Eingänge, von denen die Eingänge a und c mit einem Minuszeichen und der Eingang b mit einem Pluszeichen be-

zeichnet sind. Der Addierer SU2 addiert somit die über die Eingänge a und c zugeführten Signale mit negativen Vorzeichen und das über den Eingang b zugeführte Signal mit positivem Vorzeichen.

Fig. 5 zeigt einige der Signale, die beim Betrieb der in Fig. 3 dargestellten Taktrückgewinnungsschaltung auftreten. Die Abszissenrichtung bezieht sich wieder auf die Zeit t , wobei gegenüber der Fig. 4 eine Zeitraffung vorgenommen wurde. In Fig. 5 sind oben die Signale IB1 und IB2 des Generators IB dargestellt. Mit der Verzögerungsstufe VZ4 wird zusätzlich das Signal IB4 gewonnen. Der Summierer SU2 summiert die Signale IB4 und IB1 mit negativen Vorzeichen zum Ausgangssignal der Multiplizierstufe MU2. Das vom Ausgang des Summierers SU2 abgegebene Signal M ist in Fig. 5 dargestellt. Aus dem in den Figuren 4 und 5 dargestellten Fehlersignal F wird mit der Verzögerungsstufe VZ3 das in Fig. 5 dargestellte Fehlersignal F1 gewonnen. Mit der Multiplizierstufe MU3 werden die Signale F1 und M multipliziert, so daß sich das Signal P ergibt.

Der Operationsverstärker VS3 bildet mit dem Kondensator C2 einen Integrator, dem eingangsseitig das Signal P zugeführt wird und der über seinen Ausgang das Signal Q abgibt. Mit der Steuerstufe ST2 und dem Schalter SW2 wird in Abhängigkeit vom Signal VIT die Integrationsdauer eingestellt, indem kurzzeitig nach Auftreten eines der Impulse des Signals VIT mit dem Schalter SW2 der Kondensator C2 entladen wird. Der Operationsverstärker VS4 ist als Vergleicher geschaltet, wobei der Pluseingang über den Schaltungspunkt P2 an ein Potential von 0 V angeschlossen ist. Über den Ausgang des Operationsverstärkers VS4 wird daher das Signal R abgegeben, das die Polarität des Signals Q kennzeichnet. Dem Phasenschieber ϕ wird das Taktsignal TA zugeführt und kurz nach dem Auftreten eines der Impulse des Signals VIT wird in Abhängigkeit von der Polarität des Signals R die gestrichelt dargestellte Impulsflanke des Signals TA erzeugt, die gegenüber der voll dargestellten Impulsflanke des Signals TA zeitlich vorverlegt ist. Falls die Impulse des Signals P eine negative Polarität haben, dann haben auch die Signale Q und R eine negative Polarität, wodurch ein verspätetes Auftreten einer Impulsflanke des Taktsignals TA bewirkt wird.

Anhand der Figuren 1 bis 5 wird ein Datenübertragungssystem beschrieben, bei dem sendeseitig aus dem Signal D das Signal IB abgeleitet wird. Aus dem informationstragenden Signal IB werden die Signale IB1, IB2 abgeleitet, mit denen die Taktphasenregelung durchgeführt wird. Falls kein Codierer CD1 vorgesehen ist und sendeseitig aus dem Signal das Partial-Response-Signal abgeleitet wird, dann können aus dem informationstragenden Signal D um die Taktzeiten T bzw. 2T verzögerte Signale D abgeleitet und zur Taktphasenregelung herangezogen werden.

3 Patentansprüche

5 Figuren

P a t e n t a n s p r ü c h e

①. Schaltungsanordnung zur Regelung der Taktphase bei einem Datenübertragungssystem, bei dem sendeseitig aus einem informationstragenden Signal ein Partial-Response-Signal erzeugt wird, das mit Hilfe von Einseitenband-Amplitudenmodulation übertragen wird und bei dem empfangsseitig zur Demodulation das Partial-Response-Signal und mit einer Entscheidungsstufe und einem Generator das informationstragende Signal wiedergewonnen werden, wobei empfangsseitig die Taktphase mit einer Taktrückgewinnungsschaltung geregelt wird und mit einer Fehlerstufe ein Fehlersignal abgeleitet wird, das die Sollwertabweichungen des von der Entscheidungsstufe abgegebenen Signals signalisiert, d a d u r c h g e k e n n z e i c h n e t, daß die Taktrückgewinnungsschaltung (TAR) einen Summierer (SU2) enthält, der einerseits mit negativem Vorzeichen das um eine Taktzeit verzögerte informationstragende Signal (IB1) und ein um vier Taktzeiten (T) verzögertes informationstragendes Signal (IB4) und andererseits mit positivem Vorzeichen ein um zwei Taktzeiten (T) verzögertes informationstragendes Signal (IB2) doppelter Amplitude addiert und ein Summensignal (M) abgibt. Außerdem enthält die Taktrückgewinnungsschaltung (TAR) eine Multiplizierstufe (MU3), die ein multiplikatives Signal (P) abgibt, das dem Produkt des Summensignals (M) und des um eine Taktzeit verzögerten Fehlersignals (F1) entspricht und mit dem multiplikativen Signal (P) wird die Taktphase geregelt (Fig. 3).

2. Schaltungsanordnung nach Anspruch 1, d a d u r c h g e k e n n z e i c h n e t, daß die Taktrückgewinnungsschaltung (TAR) einen Integrator (VS3, C2) enthält, dem das multiplikative Signal (P) zugeführt wird und der ein integriertes Signal (Q) abgibt und daß in Abhängigkeit vom integrierten Signal (Q) die Taktphase geregelt wird (Fig. 3).

3. Schaltungsanordnung nach Anspruch 2, d a d u r c h g e k e n n z e i c h n e t, daß die Taktrückgewinnungsschaltung (TAR) einen Vergleicher (VS4) enthält, dem das integrierte Signal (Q) zu-

geführt wird und der ein Vergleichssignal (R) abgibt, das die Polarität des integrierten Signals signalisiert und daß die Taktrückgewinnungsschaltung einen Phasenschieber (ϕ) enthält, der die Trägerphase in Abhängigkeit vom Vergleichssignal (R) verändert (Fig. 3).

VPA 74/2045b

509847/0731

10
Leerseite

Fig.3

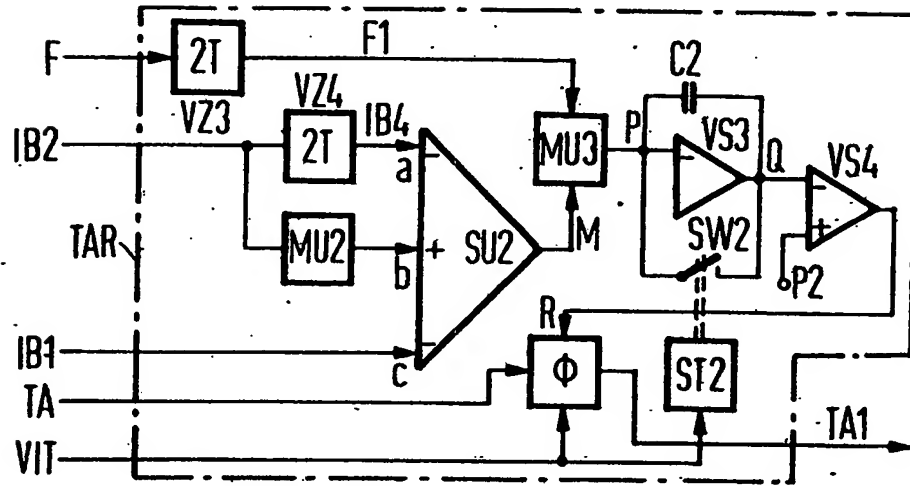
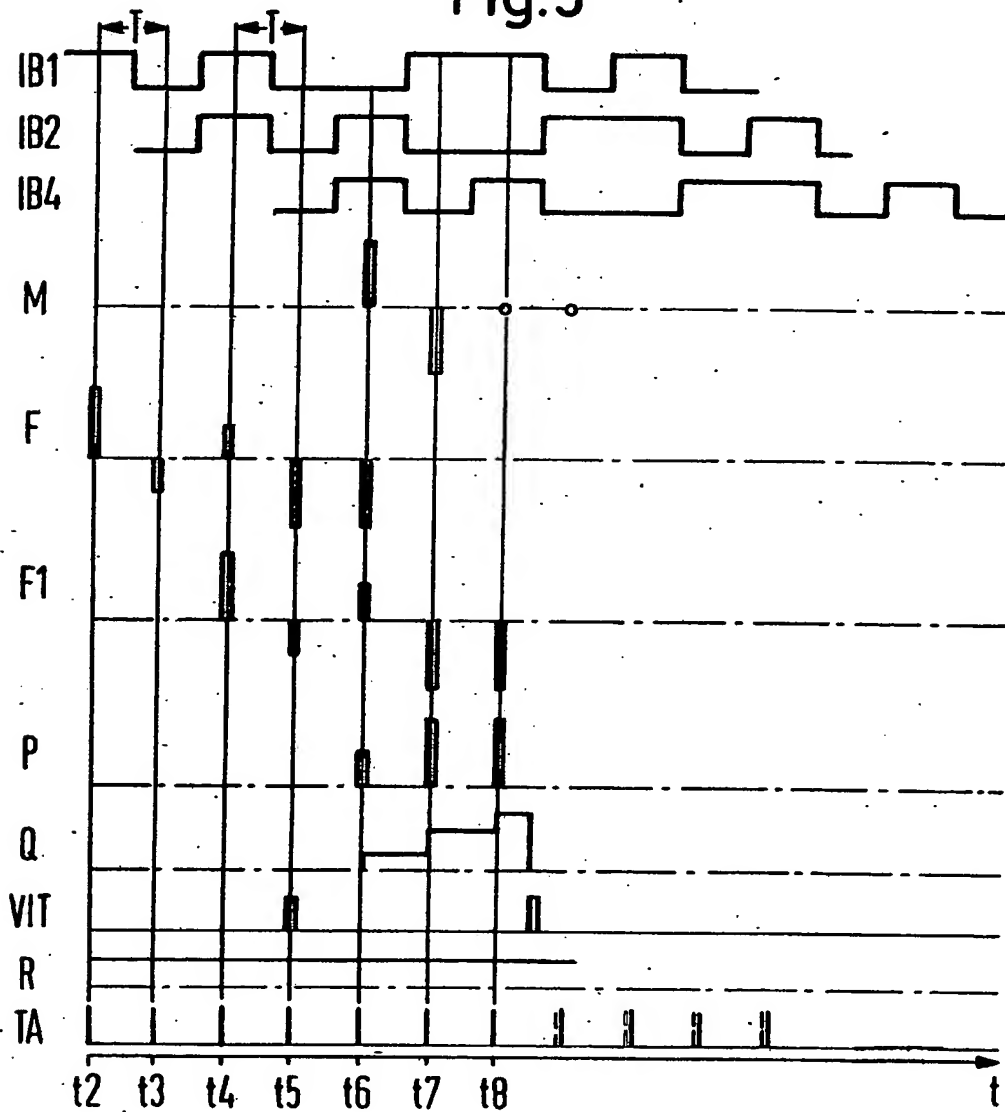


Fig.5



H04L 27-00 AT:14.05.1974 UT:20.11.1975

The diagram shows a two-stage architecture. The input signal \$B\$ enters a summing junction \$\Sigma\$ (labeled SU1). The output of the summing junction is labeled \$IB\$. This signal \$IB\$ is fed into the first stage, which consists of a block labeled VZ1. The output of VZ1 is fed into a second stage, which consists of a block labeled VZ2. The output of VZ2 is labeled \$IB_1\$. A feedback path from the output of VZ2 passes through an inverter block labeled INV and is fed back into the input of VZ1. Another input signal, \$TA_1\$, is fed into the bottom input of the summing junction \$\Sigma\$.

D5

